

文章编号:1007-2780(2016)04-0421-08

Camera Link Full 至 HD-SDI 接口的高清传输显示系统

梁国龙*, 何丁龙, 张磊, 刘延俊, 王博
(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要:为实现远距离、高可靠性传输,并减小复杂度,对 Camera Link Full 接口数据的 HD-SDI 传输显示进行了深入研究。采用 FPGA 作为核心处理器,考虑相机输出具有多种帧频,采取帧频检测及充分降频策略,并通过 3 个 SRAM 进行缓存以实现帧频转换,以满足 HD-SDI 帧频 25Hz 的要求。考虑到 SRAM 数据宽度,采取 FIFO 行缓存策略将 Camera Link Full80 输出的 10 tap、80 bits 图像数据转换成单通道的 8 bits 图像数据。最后,完成系统设计并进行实验验证。实验结果表明:系统实现了图像数据从 50 Hz、100 Hz、500 Hz 等多种帧频的 Camera Link Full80 到 25 帧 HD-SDI 接口 1080i 的格式转换及实时显示,且图像层次丰富,无失真。

关键词: Camera Link Full; HD-SDI; FPGA; 三缓存; 视频编码

中图分类号: TN919.8 **文献标识码:** A **doi:** 10.3788/YJYXS20163104.0421

HD-SDI transmission and display system from camera link full interface data

LIANG Guo-long*, HE Ding-long, ZHANG Lei, LIU Yan-jun, WANG Bo

*(Changchun Institute of Optics, Fine Mechanics and Physics,
Chinese Academy of Sciences, Changchun 130033, China)*

Abstract: In order to achieve long distance transmission with high reliability while reducing complexity, HD-SDI transmission and displaying system for video derived from Camera Link Full interface were researched in detail. FPGA was the core processor. Considering the feature of multi frame rates of the camera, frame rate detection and frequency reduction policy were adopted to preprocess the video. The preprocessed data was buffered by use of three SRAMs to complete the conversion of frame rate. The result met the 25 Hz requirement of HD-SDI. Duo to the bus width of SRAM, FIFO line buffer policy was selected to transfer data from Camera Link Full80, which was 80 bits with 10 tap, to data of 8 bits with single channel. At last, the system was designed and verified in experiment. The experimental result shows that video of multi frame rates from Camera Link Full80, which includes 50 Hz, 100 Hz, 500 Hz, is converted to the form of 1080i for HD-SDI. The video could be displayed in real time without distortion, and image is clear and structured.

Key words: Camera Link Full; HD-SDI; FPGA; three buffer; video encoding

收稿日期: 2015-10-08; **修订日期:** 2015-12-28.

基金项目: 国家 863 计划军口部分课题(No. 2014AA7031082A)

Supported by National 863 Plan Military Project of China(No. 2014AA7031082A)

* 通信联系人, E-mail: lianggl_1984@sina.com

1 引言

伴随着多媒体、视频技术的飞速发展,低分辨率、低速的相机探测器已经不能满足军事和民用领域需求,高速、高分辨率的 CCD 或 CMOS 相机快速发展起来。为了能够满足相机的高速、高带宽要求,相应的传输设备、采集设备、存储设备以及接口等都做了大幅改进,提高了带宽和处理速度,目前多数高速相机探测器的输出接口广泛采用 Camera Link 接口^[1],主要因为该接口在物理上有 Camera Link Base、Camera Link Medium 和 Camera Link Full 三种模式,可以很自由地定义数据带宽和时钟频率,不仅能适应低速、低帧频相机,而且还能适应高速、高帧频的带宽需要。

随着工程技术进一步发展,对视频传输和显示的要求也越来越高,常用的 PAL/NTSC 模拟视频已不能满足更高要求,大家把目光投向了已发展多年的成熟数字 SDI 技术,SDI(Serial Digital Interface)^[2]是 20 世纪 80 年代由美国 SMPTE,即电影电视工程师协会制定,以一根同轴电缆通过数字化方式处理和传输音视频数据。它拥有 SD-SDI、HD-SDI 和 3G-SDI 三种标准,满足不同的视频传输和显示需求。SDI 主要应用在广播电视行业,具有传输速率快、抗干扰能力强、物理接口简单、即插即用和传输距离远等优点。

Camera Link 接口协议自由,可以满足不同带宽需求,但 Camera Link 接口视频传输距离有限,在同样的差分线缆情况下,视频传输速率越高,传输距离越短,并且信号容易失真,易受干扰。目前还没有基于 Camera Link 接口的视频监视器,为了能够实现 Camera Link 接口相机视频的实时传输和显示,本文提出一种基于 Camera Link Full 接口高速相机的 HD-SDI 视频显示方案,实现实时视频显示。根据不同的相机,其 Camera Link Full 接口输出的像素时钟、帧频、分辨率以及通道数都不尽相同,而 HD-SDI 接口协议是几种固定的格式标准,因此在接口转换过程中需要针对帧频、分辨率等用到相应的技术处理来完成视频转换,本文在编程上采取模块参数化方法,只对每个相机帧频、分辨率等相关参数进行修改,不改变整个程序架构和其它功能模块,比如对于其它参数都一样,只有分辨率不同的两台相

机,只需要在分辨率模块里更新分辨率参数,即可适用于不同型号的相机。

2 相机接口及参数分析

2.1 相机 Camera Link 接口

使用的相机是 MC1362 相机^[3-4],它是德国 Mikrottron GmbH 公司生产的一款高速 CMOS 黑白相机,输出接口是 Camera Link Full 接口。Camera Link 是在美国 National Semiconductor^[2,5]公司提供的具体协议和很多有用的视频应用基础上以 Channel Link 为蓝本开发起来的一种串行视频通讯接口,它支持 LVDS 标准。Camera link 接口包含发送器和接收器,发送器提供四路差分数据流和一路差分时钟,接收器同样接收四路差分数据和一路差分时钟,然后通过专业解码芯片解码成 28 bit 的 TTL 数据和时钟。具体如图 1。

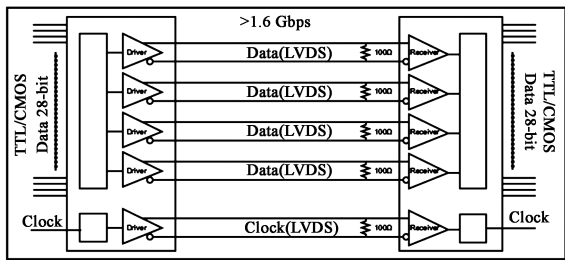


图 1 camera link 接口工作模式

Fig. 1 Work pattern of Camera Link interface

Camera link 接口有 5 种配置模式^[1],每种配置模式支持不同的数据位数。简易模式:支持 10 bit 数据位,一个连接器;Base 模式:支持 24 bit 数据位,一个连接器;Medium 模式:支持 48 bit 数据位,两个连接器;Full 模式:支持 64 bit 数据位,两个连接器;Full80 模式:支持 80 bit 数据位,两个连接器;本文中用到的就是 Full80 模式。Full80 模式跟 FULL 模式比的优点是每个像素时钟可以传输 80 bit 的图像数据,增加了数据传输带宽。

2.2 相机参数

MC1362 相机^[3-4]满画幅情况下分辨率是 $1\,280 \times 1\,024$,支持开窗(RIO)功能,在满画幅、80 MHz 像素时钟、10 通道、8 bit 数据深度情况下最高帧频达到 500 fps,相机的输出接口是 Camera

Link FULL80 接口,像素时钟最高工作在 80 MHz,最高数据传输率 625 Mbyte/s。

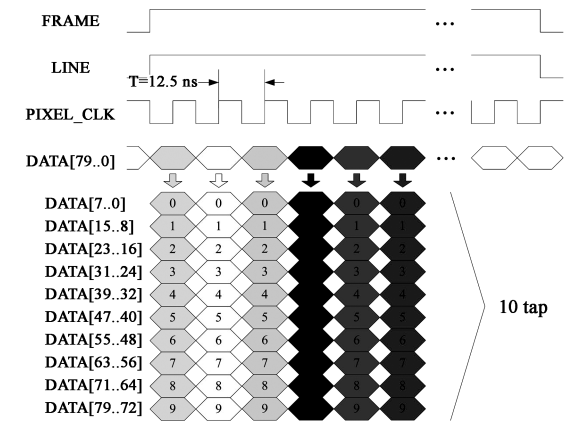


图 2 MC1362 相机图像输出时序
Fig. 2 Image sequence of MC1362 camera

相机工作在 80 MHz 像素时钟,10 tap×8 bit 的工作模式下,如图 2 所示,像素时钟的上升沿对应图像数据有效,每个图像数据又包含 10 个像素数据,分别以 0~9 的顺序排列,下一个时钟对应的 10 个图像数据依然以 0~9 的顺序排列,因此一行对应了 128 个像素时钟,即对应了 1 280 个图像数据列。

3 HD-SDI 接口

High Definition Serial Digital Interface(HD-SDI)^[6]是 SD-SDI 的升级版本,传输速率达到 1.485 Gbps,符合 SMPTE292 标准^[7]。表 1 是 SDI 常用的视频标准格式,从表上可以看出,HD-SDI 支持多种分辨率、多种扫描方式、多种帧频,

表 1 SDI 常用的视频标准格式
Tab. 1 Common video standard of SDI

整体分辨率 (H×V)	有用分辨率 (H×V)	扫描方式	纵横比	帧频/ Hz	采样率/ MHz	高清/ 标清	并行数据标准	串行数据标准	带宽
858×525	720×480	i	4×3	29.97	13.5	SD	SMPTE 125M BT. 656	SMPTE 259M	270 Mb/s
864×625	720×576	i	4×3	25	13.5	SD	BT. 656	SMPTE 259M	270 Mb/s
1 650× 750	1 280× 720	P	16×9	60	74.25	HD	SMPTE 274M	SMPTE 292M	1.485 Gb/s
2 200× 1 125	1 920× 1 080	i	16×9	30	74.25	HD	SMPTE 274M	SMPTE 259M	1.485 Gb/s
2 200× 1 125	1 920× 1 080	P	16×9	30	74.25	HD	SMPTE 274M	SMPTE 259M	1.485 Gb/s
2 640× 1 125	1 920× 1 080	P	16×9	25	74.25	HD	SMPTE 274M	SMPTE 259M	1.485 Gb/s
2 640× 1 125	1 920× 1 080	i	16×9	50	74.25	HD	SMPTE 274M	SMPTE 259M	1.485 Gb/s
2 750× 1 125	1 920× 1 080	P	16×9	24	74.25	HD	SMPTE 274M	SMPTE 259M	1.485 Gb/s
2 200× 1 125	1 920× 1 080	i	16×9	59.94	148.35	3G	SMPTE 274M	SMPTE 424M	3 Gb/s
2 200× 1 125	1 920× 1 080	i	16×9	60	148.5	3G	SMPTE 274M	SMPTE 424M	3 Gb/s

典型的有 720P、1 080i 和 1 080p 三种。HD-SDI 兼容 SD-SDI 物理传输介质,通过 75 Ω 同轴电缆实现音视频信号传输,理论传输距离是 100 m,采用国产电缆的传输距离可以达到 30 m 以上。从 HD-SDI 信号眼图看电气特性,最大峰峰值电平是 $(800\pm 10\%)$ mV,以信号峰值中点为基准的直流偏置值 ± 0.5 V 之间,眼图的上升沿和下降沿时间介于 100~270 ps 之间。

4 系统设计

4.1 系统硬件组成

系统实现的主要功能是将 Camera Link Full 接口的高速相机视频通过 HD-SDI 接口实时高清显示,因此在系统架构中包括 Camera Link Full 接口输入模块、HD-SDI 高清显示接口模块,除此以外还需要 FPGA 核心处理模块、大容量高速缓存模块和通讯模块等,图 3 是整个系统的硬件架构。

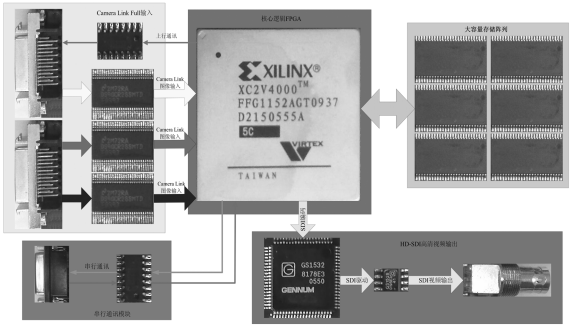


图 3 系统的硬件架构

Fig. 3 Hardware architecture of the system

核心处理模块 FPGA 采用 XILINX 公司的 V2 系列 XC2V4000-FFG1152 芯片^[8],内部时钟速率达到 420 MHz,芯片总的 IO 引脚一共 1 152 个,824 个可用 IO 引脚,设置成差分 IO 后可以传输 840 Mbps 的低压差分信号,10 752 个 Slices,120 个乘法器,有 4 MB 系统逻辑门单元,12 个时钟管理器 DCM,16 个全局时钟缓存,支持 PCI-X 和 PCI 接口,内嵌 RAM 容量为 2 160 kbit,1.5 V 的核逻辑电平和 3.3 V 的 IO 电平可以满足多数互连接口器件。

Camera Link Full 输入接口芯片选择 NS 公司的 DS90CR288A^[9-10],接收 4 对低压差分信号并转换成 28 bit 的 TTL/CMOS 数据,专门有一

对差分信号用来传输时钟信号,最高支持 85 MHz 的像素时钟,单片支持 297.5 Mbyte/s 带宽。Camera Link Full 模式需要 3 片 DS90CR288A 实现数据转换。

HD-SDI 高清接口分为编码器和驱动器。编码器选择 GENNUM 公司的 GS1532 芯片^[11],主要把 YCbCr 格式视频编码输出成 HD-SDI/SD-SDI 格式,GS1532 芯片兼容 SMPTE259M-C 和 SMPTE292M 标准视频编码,支持 10 bit 和 20 bit 带宽输入,在 10 bit 输入数据情况下,最高满足 148.5 MHz 时钟频率,具有一定的信号处理能力,包括 CRC 校验、行号计算等。驱动器作用是对 SDI 信号放大,增加传输距离和提高信号质量,驱动器选择 GENNUM 公司的 GS1528 芯片^[12],同样支持 SMPTE259M-C 和 SMPTE292M 标准,并可同时驱动两路 75 Ω 电缆输出。

大容量高速缓存选用 Cypress 公司的异步 SRAM,型号 CY7C1061AV33-8^[13],它是高性能的 CMOS 静态 RAM 阵列,最大容量达到 16 Mbit,根据应用不同可以把芯片设置成 $1\text{M}\times 16$ bit 和 $2\text{M}\times 8\text{bit}$ 两种模式。单步运行时间 8 ns,典型工作电压 $+3.3$ V。每个相机都有不同的分辨率,如果一帧图像的数据量大于 16 Mbit 时,可以把两个或多个 SRAM 拼起来用,以增加存储容量,本文相机分辨率 $1\,280\times 1\,024$,像素位深 8 bit,采用 10 tap 的 Full80 模式后,相机分辨率为 $128\times 1\,024$,位深 80 bit,因此选择 5 片 CY7C1061AV33 采用 $1\text{M}\times 16$ bit 模式实现数据缓存。

4.2 FPGA 工作原理

作为整个系统的中枢神经,FPGA 扮演着逻辑控制、视频传输和接口转换等多个角色。在 FPGA 的协调下,系统的基本工作过程是电路板上电初始化,视频流通过 Camera Link Full 接口输入,经过 3 个 DS90CR288A 芯片解码成标准的 TTL 信号输送给 FPGA,FPGA 经过一系列的视频传输和逻辑转换,输出满足协议的 YCbCr 视频数据给 GS1532 芯片,再经过 GS1532 芯片编码,转换成串行 HD-SDI 视频输出。

图 4 是 FPGA 的具体工作原理图。当 FPGA 加载程序后,首先完成系统初始化设置,完成 GS1532 芯片工作寄存器设置,对输入帧频进行检测,实现帧频转换处理,然后对输入的 80 bit 视频数据进行 FIFO 缓存。由于 Full80 接口通过三

个 DS90CR288A 芯片解码,输出 3 个时钟信号,时序可能会有延迟,因此在 FPGA 内部创建 3 个 128 个数据长度的 FIFO,它们的位深分别是 26 bit、27 bit、27 bit。通过对 3 个 FIFO 的控制,用 1 个 80 MHz 或以上的时钟读出 80 bit 数据然后存入到相应的 SRAM 缓存区中,以每行为单位逐行

存入 SRAM 中,直到一帧图像结束。根据缓存控制逻辑,对 3 个缓存区实现循环写入存储,以输入 GS1532 芯片的时序为标准,去读 3 个缓存区的数据,并转换成 YCbCr 数据给 GS1532 芯片,在读 SRAM 缓存区的过程中,涉及到图像多通道到单通道的转换逻辑。

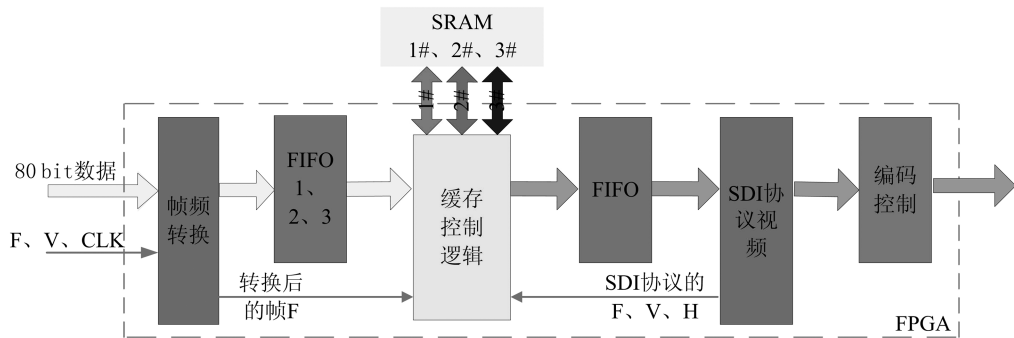


图 4 FPGA 工作原理
Fig. 4 Working principle of FPGA

4.3 帧频处理

MC1362 相机是高速 CMOS 相机,最高帧频 500 Hz,本文设计的 HD-SDI 视频帧频 25 Hz,场频 50 Hz,在数据缓存读写过程中尽量保持一致频率,保证不会产生读写冲突问题。试验过程中 MC1362 相机主要帧频有 25 Hz、50 Hz、100 Hz、200 Hz、300 Hz、400 Hz、500 Hz,需要对高帧频进行降频处理,统一降频到 25 Hz。

在没有外部通讯告知相机帧频的前提下,帧频检测是关键问题。MC1362 相机的像素时钟不随帧频的变化而变化,固定 80 MHz,因此可以通过像素时钟对整帧计数的方法实现帧频检测。设定帧频为 f ,那么计数值 num 为:

$$num = \frac{80 \times 10^6}{f} \tag{1}$$

如果 $num = 160\ 000$,说明此时相机帧频是 500 Hz,如果 $num = 200\ 000$,说明是 400 Hz,如果 $num = 400\ 000$,说明是 200 Hz 等等。

帧频检测完成后,涉及到降频处理,以 200 Hz 帧频为例,若降频到 25 Hz,需要对帧信号 8 分频,时序上对帧信号 8 计数,分为 8 份,取其中任意一份完成降频处理,具体如图 5。

4.4 三缓存设计

Camera Link Full 接口的时序逻辑和 HD-SDI 的行场时序完全不同,因此必须进行帧缓存,

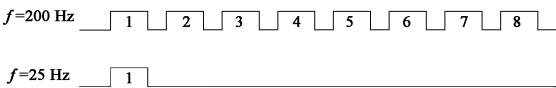


图 5 200 Hz 到 25 Hz 降频示意图
Fig. 5 Sketch map of frequency 200 Hz to 25 Hz

FPGA 内部的缓存区不足以存下一帧图像,借助外部 SRAM 阵列实现缓存处理。

虽然在 4.3 节设计了帧频处理,各种帧频都分频到 25 Hz,但由于硬件电路晶振差异,或者各个设备和相机之间没有同步,会表现帧频不能严格对齐的情况,如相机帧频是 25.001 Hz,而 HD-SDI 时序帧频是 24.999 Hz,一帧就差了 $3.2\ \mu s$,文章[14]描述的每帧相差 $47\ \mu s$ 也是类似的情况,如果采用双缓存的乒乓模式,势必会出现 SRAM 读写冲突的情况,在本文设计中提出三缓存的设计方案。

在系统中设置 3 个缓存区,编号依次为 1#、2#、3#,每个缓存区都有存储一帧及以上数据的容量。在 FPGA 中建立一个读写控制机制,设置状态机,每当从某缓存区读完一帧数据,判断此时正在写的缓存区,决定下一个读使能标志的指向,同样当写完一帧数据到某缓存区,判断此时正在读的缓存区,决定下一个写使能标志的指向,决定读写使能标志指向的标准是读或者写距离正在读写操作的缓存区较远的缓存区。

根据 2.2 节的介绍, Camera Link Full80 协议下, 每个时钟传输数据 80 bit, 包含 10 个像素, 为了正常输出显示, 在缓存区读出过程中, 需要像素数据展开成每个时钟传输一个像素的状态, 即还原成单通道的 $1\,280\times1\,024$ 图像。

在 FPGA 内部创建 1 280 字节长度、8 位深度的 FIFO 缓存。在从外部 SRAM 缓存区读出数据时, 采用高速时钟, 并将时钟 10 分频, 每个分频时钟去读 SRAM 缓存区里相应的字节数据, 保证在 10 个时钟周期能够读出 10 个字节的数据, 完成 1 个 80 bit 到 10 个 8 bit 数据的并串转换, 完成单通道展开。

4.5 时序分析及视频编码

GS1532 芯片接收满足协议的视频数据, 在压控振荡器 GO-1555 的配合下, 经过 8b/10b 编码和并串转换等一系列转换, 完成标准 SDI 串行视频流输出。GS1532 芯片有 SD-SDI/HD-SDI 模式选择, 本文选择高清 HD-SDI 模式。视频流有 10 bit 复用和 20 bit 并行两种输入模式, 10 bit 复用模式是以 Cb-Y-Cr-Y 的方式^[15]依次输入, Y、Cb、Cr 均占用 10 位, 在 HD-SDI 模式下同步时钟 148.5 MHz; 20 bit 模式是指 4 : 2 : 2 格式的 YCbCr 数据以 Y、Cb/Cr 的方式输入, 其中 Y 占用数据的高 10 位, Cb/Cr 复用占用数据的低 10 位, 在 HD-SDI 模式下, 同步时钟 74.25 MHz。本文采用 20 bit 并行模式, 根据 2.1 节, MC1362 相机是黑白相机, 在采用 20 bit 并行模式时, 低 10 位的 Cb/Cr 写入固定的 B“1000000000”值, 只取 Y 值进行正常的灰度显示。

需要输入给 GS1532 芯片的信号包括同步时

钟 clk、帧信号 f、场信号 v、行信号 h 和数据信号, 对输入的视频信号有严格要求。GS1532 芯片满足 SMPTE292M 标准, 能够接收 720P、1 080i 和 1 080 p 三种高清制式, 本文用到的具体视频格式是 1080i 标准, 一帧分为奇偶场, 隔行扫描方式, 像素时钟是 74.25 MHz, 场频 50 Hz/s, 帧频 25 Hz/s。具体如图 6 所示, 视频的整体分辨率 $2\,640\times1\,125$, 有效分辨率 $1\,920\times1\,080$, 行消隐期 720 个像素, 从第 721 个像素开始到 2 640 像素是行有效。帧消隐期 45 行, 第一场开始有 20 行的消隐期, 从第 21 行到 561 行是 540 行有效数据, 第二场开始依然有 20 行的消隐期, 然后是 540 行的有效数据。SAV 和 EAV 是 SDI 信号的定时基准码, 存在于视频帧格式的头和尾, 用于标识视频的行场同步信号的消隐和使能。定时基准码 SAV 和 EAV 是由 4 个 10 bit 字组成, 前 3 个字是固定码: 3FF、000、000, 第 4 个字是由二进制位 1、F、V、H、VxorH、FxorH、FxorV、FxorVxorH、0、0 组成, 其中, F 是帧信号, V 是场信号, H 是行信号。

5 实验及结果分析

将硬件电路板和 MC1362 相机通过 Camera Link Full 接口相连, HD-SDI 显示选择 JVC 公司的 HD-SDI 监视器, 监视器和电路板之间用连接准的 75 Ω 同轴电缆, 测试系统初始化、工作稳定后, 在监视器上实现视频图像的高清显示。图 7 是利用 HD-SDI 接口视频采集卡, 对本系统输出的 HD-SDI 视频图像采集并存储得到的图像, 图 8 是直接在监视器上的显示结果, 由于 MC1362 相机分辨率是 $1\,280\times1\,024$, 而高清 1080i 的显示分辨率是 $1\,920\times1\,080$, 因此在监视器显示的时候, 图像左右两边区域各有 320 列置 0, 图像上下区域各有 28 行置 0, 因此图像显示四周有黑边。

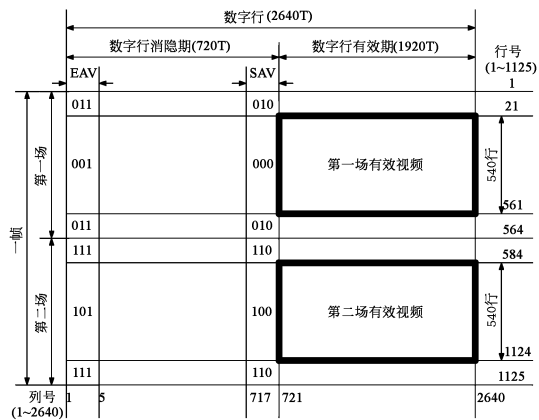


图 6 1080i 视频格式
Fig. 6 Video format of 1080i

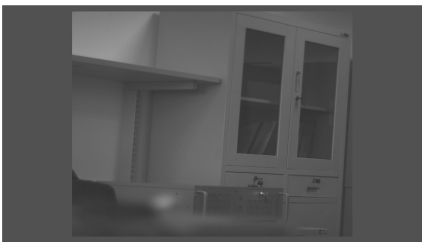


图 7 视频采集卡获得的图像
Fig. 7 Images acquired through the acquisition card

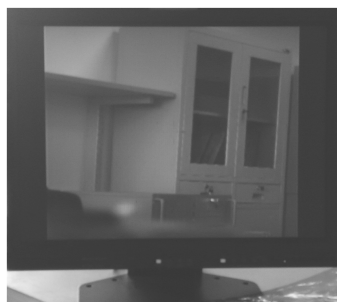


图8 监视器直接显示的HD-SDI视频图像

Fig. 8 HD-SDI video image displayed with monitor

6 结 论

本文设计了基于Camera Link Full接口的

HD-SDI接口显示系统,有效规避了Camera Link Full接口复杂、抗干扰能力差以及传输距离有限等问题,同时利用HD-SDI接口传输距离远、接口简单以及有专用的HD-SDI显示设备等特性,使视频传输更高效、视频显示更简单,在工程应用上降低了设备成本。

从实验结果看,系统视频转换不失真,显示效果良好。论文中用到的是MC1362相机,如果是其它类型的相机,只需要改变图像输入的相关参数既可,在电路硬件设计中留有RS422/RS232串行接口,在以后的工程实验中,可以通过串口设置相关的参数命令,从而不需要修改硬件程序,直接实现不同Camera Link接口相机的实时HD-SDI显示。

参 考 文 献:

- [1] Automated Imaging Association. Camera Link: Specifications of the camera link interface standard for digital cameras and frame grabbers[R]. Version 1. 1. Automated Imaging Association, 2004.
- [2] 祁超. SDI视频接口转换与采集系统的设计与实现[D]. 北京:中国科学院研究生院,2010.
QI C. Design and implementation of SDI video interface conversion and capture system [D]. Beijing: Graduate University of the Chinese Academy of Sciences, 2010. (in Chinese)
- [3] Mibrotron GmbH. MC1360-63. EoSens CL Camera Manual, Rev. 1. 17 [EB/OL]. Mikrottron GmbH, 2011. www.mikrotron.de.
- [4] 高世杰,盛磊,吴志勇,等. 大气激光通信光斑图像的快速复原与实时检测[J]. 光学精密工程, 2015, 23(8): 2393-2399.
GAO S J, SHENG L, WU Z Y, et al. Rapid Restoration and real-time detection on spot image of atmospheric laser communication [J]. *Optics and Precision Engineering*, 2015, 23(8): 2393-2399. (in Chinese)
- [5] National Semiconductor Corp. LVDS Owner's manual [R]. National Semiconductor Corp, 2000.
- [6] 吴俊霖. 基于FPGA的HD-SDI信号传输与处理[D]. 成都:西南交通大学,2014.
WU J L. HD-SDI image signal transfer and processing based on FPGA [D]. Chengdu: Southwest Jiaotong University, 2014. (in Chinese)
- [7] SMPTE. ANSI/SMPTE 292M-1996 SMPTE standard for television bit-serial digital interface for high-definition television systems [S]. SMPTE, 1996.
- [8] Xilinx Inc. Virtex-II platform FPGAs: Complete data sheet [R]. Xilinx Inc., 2007.
- [9] DS90CR287/DS90CR288 +3.3V Rising edge data strobe LVDS 28-Bit channel Link-66 MHz National Semiconductor[EB/OL]. 2004. www.national.com.
- [10] 孙科林,周维超,吴钦章. 高速实时光纤图像传输系统的实现[J]. 光学精密工程, 2011, 19(9): 2228-2235.
SUN K L, ZHOU W C, WU Q Z. Realization of high-speed real-time optical fiber image transmission system [J]. *Optics and Precision Engineering*, 2011, 19(9): 2228-2235. (in Chinese)
- [11] Gennum Corporation. GS1532 HD-LINX II multi-rate serializer data sheet [R]. 2009.
- [12] Gennum Corporation. GS1528 HD-LINX II multi-rate dual slew-rate cable driver data sheet [R]. 2009.
- [13] Cypress Semiconductor Corporation. CY7C1061AV33 datasheet [R]. USA, 2007.
- [14] 陈东成,朱明,郝志成,等. 基于FPGA的Camera Link转HD-SDI接口转换系统[J]. 液晶与显示, 2014, 29(6):

1065-1070.

CHEN D C, ZHU M, HAO Z C, *et al.* Camera link to HD-SDI interface converting system using FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(6): 1065-1070. (in Chinese)

[15] 刘晓军. 基于 HD-SDI 标准的视频接口卡的设计与实现[D]. 天津:天津工业大学,2007.

LIU X J. Design and realization of video interface card based on HD-SDI standard [D]. Tianjin: Tianjin Polytechnic University, 2007. (in Chinese)

作者简介:梁国龙(1983—)男,吉林公主岭人,博士,主要从事数字图像处理、图像显示方面的研究。E-mail: lianggl_1984@sina.com